

STATIC CHARGE ELIMINATING METHOD FOR ELECTROSTATIC CHUCK AND SEMICONDUCTOR MANUFACTURING DEVICE

Patent number: JP10284583
Publication date: 1998-10-23
Inventor: OKU KOJI; DOBASHI YUUSUKE
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L21/68; B23Q3/15; H02N13/00
- european:
Application number: JP19970086522 19970404
Priority number(s):

Abstract of JP10284583

PROBLEM TO BE SOLVED: To obtain a static charge eliminating method for electrostatic chuck and a semiconductor manufacturing device which can make a semiconductor wafer surely separate.

SOLUTION: An electrostatic chuck electric source 12 supplies an output to an electrostatic chuck 4 by using an impressing voltage having a single pole and damping rectangular wave and having a plus or minus polarity. An electric current which is got by differentiating the impressing voltage flows in a semiconductor wafer. The differentiated electric current is an alternative current in which plus and minus polarities alternate. Because an amplitude of the alternative current becomes little with time passing, charges are gradually discharged. Therefore, the semiconductor wafer is surely separated from an electrostatic chuck 4.

Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-284583

(43)公開日 平成10年(1998)10月23日

(51) Int. Cl.[•] 識別記号
H 0 1 L 21/68
B 2 3 Q 3/15
H 0 2 N 13/00

FI		
H01L	21/68	R
B23Q	3/15	D
H02N	13/00	D

審査請求 未請求 請求項の数11 OL (全 10 頁)

(21)出願番号 特願平9-86522

(22)出願日 平成9年(1997)4月4日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 奥 康二
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 土橋 祐亮
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

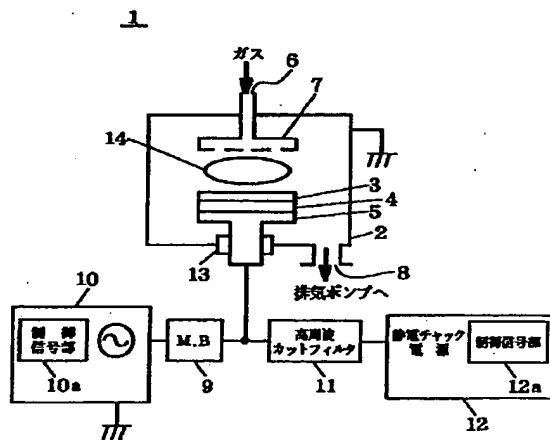
(74)代理人 弁護士 吉田 茂明 (外2名)

(54) 【発明の名称】 静電チャック除電方法及び半導体製造装置

(57) 【要約】

【課題】 半導体ウェハを確実に離脱させることのできる静電チャック除電方法及び半導体製造装置を得る。

【解決手段】 静電チャック電源12は、正又は負のいずれかであり、振幅が時間とともに減衰するパルスである単極の減衰矩形波を印加電圧として静電チャック4へ出力する。半導体ウェハ3内には、印加電圧が微分された電流が流れる。微分された電流は正及び負が交代する交番電流であり、また、この交番電流の振幅は時間とともに小さくなるため、徐々に電荷が放出される。したがって、半導体ウェハ3は確実に静電チャック4から離脱する。



- | | |
|-------------|-----------|
| 1: プラズマ処理装置 | 7: 上電極 |
| 2: 真空チャンバ | 8: 排気口 |
| 3: 半導体ウエハ | 9: 整合器 |
| 4: 誘電チャック | 10: 高周波電源 |
| 5: 下電極 | 13: 絶縁材 |
| 6: ガス供給口 | 14: プラズマ |

【特許請求の範囲】

【請求項1】 チャンバ内に対向配置された1対の電極の一方の印加電圧に応じて半導体ウェハを充放電することにより当該半導体ウェハを吸着及び離脱することの可能な誘電体からなる静電チャックを備えたものにおいて、前記半導体ウェハを前記静電チャックにより離脱させる場合に、前記印加電圧を正あるいは負電圧から形成される単極の減衰矩形波とすることを特徴とする静電チャック除電方法。

【請求項2】 前記減衰矩形波は、指数関数曲線に沿って減衰する請求項1記載の静電チャック除電方法。

【請求項3】 前記減衰矩形波は、1又は複数の直線に沿って減衰する請求項1記載の静電チャック除電方法。

【請求項4】 前記減衰矩形波は、初期はパルス幅が比較的小さく、後期はパルス幅が比較的大きい請求項1記載の静電チャック除電方法。

【請求項5】 前記減衰矩形波は、前記半導体ウェハ内に流れる電流の波形と一致している請求項1～4のいずれかに記載の静電チャック除電方法。

【請求項6】 前記減衰矩形波は、2.5秒以上9秒以下与えられ、4以上16以下のパルスを有する請求項1～5のいずれかに記載の静電チャック除電方法。

【請求項7】 請求項1～6のいずれかに記載の静電チャック除電方法を適用した半導体製造装置であって、前記減衰矩形波を発生するための静電チャック電源を備えたことを特徴とする半導体製造装置。

【請求項8】 チャンバ内に対向配置された1対の電極の一方の印加電圧に応じて半導体ウェハを充放電することにより当該半導体ウェハを吸着及び離脱することの可能な誘電体からなる静電チャックを備えたものにおいて、

前記半導体ウェハを前記静電チャックにより離脱させる場合に、前記印加電圧を連続的あるいは間欠的な減衰高周波とすることを特徴とする静電チャック除電方法。

【請求項9】 前記減衰高周波は、指数関数曲線に沿って減衰する請求項8記載の静電チャック除電方法。

【請求項10】 前記減衰高周波は、1又は複数の直線に沿って減衰する請求項8記載の静電チャック除電方法。

【請求項11】 請求項8～10のいずれかに記載の静電チャック除電方法を適用した半導体製造装置であって、

前記減衰高周波を発生するための高周波電源を備え、当該高周波電源は半導体製造時に用いられるものが共用されることを特徴とする半導体製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体ウェハを静電的に吸着して固定させる静電チャック除電方法及び

半導体製造装置に関するものである。

【0002】

【従来の技術】図20は従来の技術を示す概念図であって、単極タイプの静電チャック装置が設けられているプラズマ処理装置100を示す概念図である。

【0003】まず、プラズマ処理装置の動作について説明する。半導体ウェハ3は、搬送ロボット（図示せず）により真空チャンバ2内に搬送され、静電チャック4上に載置される。次にガス供給口6から真空チャンバ2内に所望のガスを印加し、一方、排気口8から外部へガスを排気し、この排気量を制御することにより、真空チャンバ2内を所定の圧力に制御する。真空チャンバ2内が所定の圧力に制御された状態で、高周波電源10'は、制御信号部10'a'によって制御されて、整合器9を介して下電極5に高周波を印加することにより、真空チャンバ2内にプラズマを発生させることにより、半導体ウェハ3には、エッチングや成膜などの所望の処理が行われる。高周波カットフィルタは、高周波電源10'から静電チャック電源12'への高周波の伝搬を防止する。

【0004】次に静電チャック装置が半導体ウェハ3を吸着する動作について説明する。図21は静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流及び半導体ウェハ3に作用する吸着力を示すタイミングチャートである。TAは半導体ウェハ3を吸着している時間を示し、TL'は半導体ウェハ3を離脱するための印加電圧を受けている時間を示し、TFは離脱の動作を開始してから吸着力が最も小さくなる時間を示している。静電チャック電源12'は、制御信号部12'a'によって制御されて、印加電圧を生成し、高周波カットフィルタ11を介して下電極5に図21の時間TAに示す定常の印加電圧を出力する。下電極5は、定常の印加電圧を受けると、静電チャック4との間で静電気力（クーロン力）が働く。これにより、半導体ウェハ3は静電チャック4に吸着される。

【0005】一般的に静電力（クーロン力）は、Fを吸着力、 ϵ を誘電率、Vを印加電圧、dを間隔とすれば、 $F = (1/2) \cdot \epsilon \cdot (V/d)^2$ ……（式1）

で示される。また静電チャック4、4a、4bに蓄積される残留電荷量は、残留電荷量をQ、電流をi、時間をtとすると、

$$Q = \int i \cdot dt \quad \dots\dots (式2)$$

で示される。

【0006】次に静電チャック装置が半導体ウェハ3を離脱する従来の動作について説明する。静電チャック4が吸着力を解除して半導体ウェハ3を離脱させるには、式2により静電チャック4に蓄積された残留電荷量Qをほぼ完全に放電させる必要がある。この残留電荷量Qをほぼ完全に放電させる方法としては、例えば、静電チャック電源12'からの印加電圧を、零にした後に図21に示すような逆極性（すなわち、ここでは正の電圧）に

する。

【0007】また、残留電荷量Qをほぼ完全に放電させる他の方法としては、図22に示すように、印加電圧として、正負が交代する波形、すなわち、交番の電圧を印加させながら減衰する方法もある。なお、この図22に関わる方法は、特開昭62-44332号公報、特開平1-112745号公報および特開平4-246843号公報に詳解されている。

【0008】

【発明が解決しようとする課題】しかしながら、従来では、次のような問題点がある。

①実際の離脱時には、図21に示すように、吸着力は一旦低下した後再び上昇する。また、図21に示す時間TFは半導体ウェハ3に応じて異なり不安定である。したがって、吸着力が最低になるように、逆極性の印加電圧および時間TFを設定することは非常に困難であるという問題点がある。

【0009】②上述したように、交番の電圧を印加させながら減衰する方法は、問題点①は生じにくい。しかし、交番の電圧を印加するため、両極性を有する電源を用いる必要がある等、静電チャック電源12'の内部の回路構成が複雑になる問題点がある。

【0010】③上述したように、交番の電圧を印加させながら減衰する方法において、交番の電圧を印加する時間や、正の電圧から負の電圧、そして再び正の電圧へというように、繰り返しのサイクルを明確に設定できないという問題点がある。

【0011】本発明は、これらの問題点を解決するためになされたものであり、半導体ウェハを確実に離脱させることのできる静電チャック除電方法及び半導体製造装置を得ることを目的とする。

【0012】

【課題を解決するための手段】本発明の請求項1に係る課題解決手段は、チャンバ内に対向配置された1対の電極の一方の印加電圧に応じて半導体ウェハを充放電することにより当該半導体ウェハを吸着及び離脱することの可能な誘電体からなる静電チャックを備えたものにおいて、前記半導体ウェハを前記静電チャックにより離脱させる場合に、前記印加電圧を正あるいは負電圧から形成される単極の減衰矩形波とすることを特徴とする。

【0013】本発明の請求項2に係る課題解決手段において、前記減衰矩形波は、指数関数曲線に沿って減衰する。

【0014】本発明の請求項3に係る課題解決手段において、前記減衰矩形波は、1又は複数の直線に沿って減衰する。

【0015】本発明の請求項4に係る課題解決手段において、前記減衰矩形波は、初期はパルス幅が比較的小さく、後期はパルス幅が比較的大きい。

【0016】本発明の請求項5に係る課題解決手段にお

いて、前記減衰矩形波は、前記半導体ウェハ内に流れる電流の波形と一致している。

【0017】本発明の請求項6に係る課題解決手段において、前記減衰矩形波は、2.5秒以上9秒以下与えられ、4以上16以下のパルスを有する。

【0018】本発明の請求項7に係る課題解決手段は、請求項1〜6のいずれかに記載の静電チャック除電方法を適用した半導体製造装置であって、前記減衰矩形波を発生するための静電チャック電源を備える。

【0019】本発明の請求項8に係る課題解決手段は、チャンバ内に対向配置された1対の電極の一方の印加電圧に応じて半導体ウェハを充放電することにより当該半導体ウェハを吸着及び離脱することの可能な誘電体からなる静電チャックを備えたものにおいて、前記半導体ウェハを前記静電チャックにより離脱させる場合に、前記印加電圧を連続的あるいは間欠的な減衰高周波とすることを特徴とする。

【0020】本発明の請求項9に係る課題解決手段において、前記減衰高周波は、指数関数曲線に沿って減衰する。

【0021】本発明の請求項10に係る課題解決手段において、前記減衰高周波は、1又は複数の直線に沿って減衰する。

【0022】本発明の請求項11に係る課題解決手段は、請求項8〜10のいずれかに記載の静電チャック除電方法を適用した半導体製造装置であって、前記減衰高周波を発生するための高周波電源を備え、当該高周波電源は半導体製造時に用いられるものが共用される。

【0023】

【発明の実施の形態】

実施の形態1. 図1は本発明を示す概念図であって、単極タイプの静電チャック装置が設けられているプラズマ処理装置1を示す概念図である。プラズマ処理装置1は本発明の静電チャック除電方法が適用されている。図1において、2は真空チャンバ、3はエッチング及び成膜など所望の処理を行うための半導体ウェハ、4は静電力を利用して半導体ウェハ3を吸着させるためのアルミナセラミック等の誘電体からなる静電チャック、5は静電チャック4を載置させ、グランドに接続された上電極7(第1の電極)に対向する下電極(第2の電極)、6はガス供給口、8は排気口、9は整合器、10は下電極5に高周波を出力する高周波電源、10aは制御信号部、11は高周波電源10からの高周波の回り込みを防止する為に設けられた高周波カットフィルタ、12は下電極5を通じて下電極5に所望の印加電圧を発生して出力するための静電チャック電源、12aは制御信号部、13は絶縁材、14はプラズマである。

【0024】次に、プラズマ処理装置1の構成について説明する。真空チャンバ2には、ガス供給口6、排気口8が接続されている。真空チャンバ2内の上部及び下部

にはそれぞれ上電極7及び下電極5が設けられている。下電極5の上には静電チャック4が載置されている。高周波電源10及び静電チャック電源12はそれぞれ整合器9及び高周波カットフィルタ11を介して下電極5に接続されている。上電極7はグランドに接続されている。高周波電源10及び静電チャック電源12はそれぞれ制御信号部10a及び12bを含む。

【0025】図2は、単極タイプの静電チャック装置を示す概念図である。図2において、20はプラズマ14の等価回路、その他の符号は図1中の符号に対応している。

【0026】図3は、双極タイプの静電チャック装置を示す概念図である。図3において、4a及び4bは静電チャック4に相当する静電チャック、5a及び5bは下電極5に相当する下電極、12a及び12bは静電チャック電源12に相当する静電チャック電源、その他の符号は図2中の符号に対応している。

【0027】単極タイプの静電チャック装置は、双極タイプの静電チャック装置に比べて構成が簡単である。図1のプラズマ処理装置1は、単極タイプに代えて双極タイプの静電チャック装置を備えてもよい。また、高周波カットフィルタ11・静電チャック電源12間に図4に示すスイッチSW、抵抗Rd及び容量Cdからなる微分回路21を備えてもよい。図5に静電チャック電源12が出力する印加電圧と微分回路21を介して出力される印加電圧のタイミングチャートを示す。

【0028】次に、プラズマ処理装置の半導体製造時の動作について説明する。半導体ウェハ3は、搬送ロボット（図示せず）により真空チャンバ2内に搬送され、静電チャック4上に載置される。次にガス供給口6から真空チャンバ2内に所望のガスを印加し、一方、排気口8から外部へガスを排気し、この排気量を制御することにより、真空チャンバ2内を所定の圧力に制御する。真空チャンバ2内が所定の圧力に制御された状態で、高周波電源10は、整合器9を介して下電極5に高周波を印加することにより、真空チャンバ2内にプラズマを発生させることにより、半導体ウェハ3には、エッチングや成膜などの所望の処理が行われる。高周波カットフィルタは、高周波電源10から静電チャック電源12への高周波の伝搬を防止する。

【0029】次に静電チャック装置が半導体ウェハ3を吸着する動作について説明する。図6は静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流を示すタイミングチャートである。TAは半導体ウェハ3を吸着している時間を示し、TLは半導体ウェハ3を吸着している状態から離脱するまでの時間を示している。静電チャック電源12は、制御信号部12aによって制御されて、印加電圧を生成し、高周波カットフィルタ11を介して下電極5に図6の時間TAに示す定常の印加電圧を出力する。下電極5は、定常の印加電圧を受けると、

静電チャック4との間で静電気力（クーロン力）が働く。これにより、半導体ウェハ3は静電チャック4に吸着される。

【0030】単極タイプの静電チャック装置は、吸着力を発生するとき、プラズマ14は必要である。これは、プラズマが吸着力を発生させる等価回路20を構成するからである。

【0031】一方、双極タイプの静電チャック装置は、吸着力を発生するとき、下電極5a及び5bに与えられる印加電圧が同じであれば、単極タイプの静電チャック装置と同様に動作するため、プラズマは必要である。しかし、下電極5a及び5bに与えられる印加電圧が互いに極性が反対であれば、プラズマは必要ない。これは、静電チャック4a及び4bが吸着力を発生させる回路を構成するからである。本実施の形態では、双極タイプの静電チャック装置を備えている場合、単極タイプの静電チャック装置と同様に動作させる。

【0032】次に、静電チャック装置が半導体ウェハ3を離脱する本発明の動作について説明する。図7は半導体ウェハ3の断面図である。半導体ウェハ3の表面側にはエッチング、デポジション、アルミ配線の形成等が施されて形成された集積回路を有する表面IC回路部3aが形成され、半導体ウェハ3の裏面側には第1～第n酸化膜層31～3nが形成され、第1酸化膜層31・表面IC回路部3a間にはSiサブストレート部3bが介在する。第1～第n酸化膜層31～3nは、表面IC回路部3aの製造過程において複数回形成される絶縁のための酸化膜である。この半導体ウェハ3の裏面側は、第1～第n酸化膜層31～3nが形成される他は、通常、何ら加工されないが、ウェハ工程の最終で研磨されることがある。ウェハ工程でデポジション、エッチング等の装置で加工するときは、この第1～第n酸化膜層31～3nは形成されたままである。

【0033】図8は、半導体ウェハ3が吸着されている状態の等価回路を示す回路図である。図8において、20はプラズマ14の等価回路、3a'は表面IC回路部3aからなる等価回路、31'、……、3n'はそれぞれ第1～第n酸化膜層31～3nの等価回路、4g'は半導体ウェハ3・静電チャック4間の隙間の等価回路、4'静電チャック4に対応する等価回路、12は静電チャック電源である。

【0034】等価回路20は、抵抗Rpからなる。等価回路3a'は並列に接続された抵抗Rf及び容量Cfからなる。等価回路31'～3n'はそれぞれ並列に接続された抵抗R1～Rn及び容量C1～Cnからなる。等価回路4a'は並列に接続された抵抗Rg及び容量Cgからなる。等価回路4'は並列に接続された抵抗Rc及び容量Ccからなる。これらの等価回路はグランド・静電チャック電源12間に直列に接続されている。

【0035】抵抗Rfの値は、Siのみの抵抗値よりも

小さい。抵抗 R_c 及び容量 C_c は、静電チャック4の膜質形状で異なるが、およそ500Mオーム以上及び数千pF程度である。抵抗 R_g 及び容量 C_g は、吸着力が強いとき、無視できる。抵抗 $R_1 \sim R_n$ は及び容量 $C_1 \sim C_n$ は、表面IC回路部3aの製造過程において異なるが、例えば8インチの半導体ウェハ3のときであって1つの酸化膜層の膜厚が1000オングストロームのとき、およそ300kオーム及び12 μ F程度である。

【0036】ここで、図8に示す抵抗のうち、抵抗 R_c の値が最も大きいので、等価回路4'には印加電圧の大半が分配される。また、抵抗 R_f の値は小さいため、等価回路3a'には殆ど印加電圧が分配されない。

【0037】また、抵抗 R_c の値が容量 C_c のインピーダンスより大きく、それぞれ抵抗 $R_1 \sim R_n$ の値が容量 $C_1 \sim C_n$ のインピーダンスより大きく、抵抗 R_f の値が容量 C_f のインピーダンスより小さい。したがって、電流は容量 C_c 、 $C_1 \sim C_n$ 、抵抗 R_f 及び R_p を流れるため、図8に示す等価回路は、図9に示す等価回路で表される。図9中の符号は、図8中の符号に対応し、図9に示す $C_1 \sim C_n$ は、図8に示す容量 $C_1 \sim C_n$ の合成容量である。図9に示す等価回路は、容量 C_c 、合成容量 $C_1 \sim C_n$ 、抵抗 R_f 及び R_p を直列に接続した微分回路を構成する。この合成容量 $C_1 \sim C_n$ の値は容量 C_c の値より大きいので、図9の容量は C_c のみと考えられる。したがって、図8に示す等価回路の時定数は、
$$\text{時定数} = C_c \times (R_f + R_p) \quad \dots\dots (式3)$$

で表され、実際に数msec以下と短い。

【0038】次に、静電チャック装置が半導体ウェハ3を離脱する動作において、静電チャック電源12は、制御信号部12aによって制御されて、印加電圧を生成し、高周波カットフィルタ11を介して下電極5に図6の時間 T_L に示す単極の減衰矩形波の印加電圧を下電極5に出力する。定常の印加電圧を出力する。単極とは、正又は負のいずれかであり、減衰矩形波とは、振幅が時間とともに減衰するパルスである。このように、制御信号部12aは、単極の減衰矩形波の印加電圧を下電極5に出力するように制御するため、ソフト的及びハード的に容易に構成できる。半導体ウェハ3内には、図9に示す等価回路に基づき、図6に示すように印加電圧が微分された電流が流れる。なお、単極の減衰矩形波は、直流成分を含む。しかしこの直流成分は、静電チャック4等の等価抵抗値が大きいため無視でき、半導体ウェハ3内に生じない。この微分された電流は、印加電圧の立上り及び立下りに応じて正及び負に振幅する細いパルスを有する。そして、この細いパルスは印加電圧より高周波となる。

【0039】この細いパルスは、高周波であるため、図9に示す容量のインピーダンスは周波数に反比例するため小さくなり、残留電荷が放出しやすくなる。また、この細いパルスは、正及び負に交代する(交番)ため、残

留電荷の半導体ウェハ3に存在しようとする原因となるヒステリシス特性が緩和されることで、残留電荷が放電しやすくなる。さらに、印加電圧と図9の容量に残留している電位との差で残留電荷の充放電が繰り返されるが、この細いパルスの振幅は、時間とともに小さくなるため、徐々に残留電荷が放出される。そして、式2により求められる残留電荷量 Q が放電されたとき、半導体ウェハ3は静電チャック4から離脱する。

【0040】以上のように、本発明は、チャンバ内に対向配置された1対の電極(上電極7及び下電極5の一方)の印加電圧に応じて半導体ウェハ3を充放電することにより半導体ウェハ3を吸着及び離脱することの可能な誘電体からなる静電チャック4を備えたものにおいて、半導体ウェハ3を静電チャック4により離脱させる場合に、印加電圧を正あるいは負電圧から形成される単極の減衰矩形波とする。

【0041】次に、静電チャック装置が8インチの半導体ウェハ3を離脱するときの実験データを図10及び図11に示す。図10は、静電チャック電源4が受ける印加電圧を示すタイミングチャートである。時間 T_A における印加電圧は+600V、時間 T_L における単極の減衰矩形波は、周波数が10Hzで、+600Vから直線的に減衰する。矩形波の数である繰り返しサイクルを5回にすると、最小離脱時間は2.5秒程度であった。図11は、繰り返しサイクルと時間 T_L との関係を示すグラフである。図11に示すように、印加電圧を単極の減衰矩形波とすれば、半導体ウェハ3の離脱が可能な範囲を広くすることができる。図11によると、減衰矩形波は、2.5秒以上～9秒以下与えられ、4以上16以下のパルス(繰り返しサイクル)を有するものであれば、半導体ウェハ3の離脱はほぼ確実に行われる。

【0042】また、ガス供給口6から供給されるガスとしてHeを使用する。半導体ウェハ3を離脱するときに、数トールのHe圧をウェハ裏面に併用して加圧することにより離脱の改善が図れる。

【0043】本実施の形態における効果は次の通りである。

(1) 徐々に残留電荷が放出されるため、印加電圧および時間 T_L を容易に設定できる。

(2) 単極の印加電圧を用いるため、静電チャック電源12の内部の回路構成が簡単になる。

(3) 徐々に残留電荷が放出されるため、繰り返しのサイクルを明確に設定する必要がない。

【0044】実施の形態2. 次に実施の形態2について説明する。本実施の形態は、実施の形態1と主として同様であり、静電チャック電源12が出力する印加電圧が異なる。

【0045】図12は本実施の形態における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の一例を示すタイミングチャートである。印加電圧の極性

は、時間TA及び時間TLにおいて共にプラスである。時間TLの印加電圧は、矩形波であって、指数関数曲線31に沿って減衰する。

【0046】図13は本実施の形態における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の他の例を示すタイミングチャートである。印加電圧の極性は、時間TA及び時間TLにおいて共にマイナスである。時間TLの印加電圧は、矩形波であって、指数関数曲線31'に沿って減衰する。

【0047】図14は本実施の形態における静電チャック電源4が受ける印加電圧と半導体ウェハ3に流れる電流の他の例を示すタイミングチャートである。印加電圧の極性は、時間TA及び時間TLにおいて共にマイナス（あるいはプラス）である。時間TLの印加電圧は、矩形波であって、2直線32及び32'に沿って減衰する。図14に示すように後期の直線32'の傾きは初期の直線32の傾きより小さい。図14では直線が2つの場合であるが、1つあるいは複数であってもよい。

【0048】本実施の形態における効果は、(1)～(3)に加え、次の通りである。

(4) 図12～図14に示すように、時間TLにおいて、初期は矩形波の振幅を大きくすることで、残留電荷の充放電を行い、後期は矩形波の振幅の変化の割合を小さくして、時間をかけて残留電荷の充放電を行うことで確実に残留電荷を放出する。

【0049】実施の形態3。次に実施の形態3について説明する。本実施の形態は、実施の形態1と主として同様であり、静電チャック電源12が出力する印加電圧が異なる。

【0050】図15は本実施の形態における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の例を示すタイミングチャートである。印加電圧の極性は、時間TA及び時間TLにおいて共にマイナス（あるいはプラス）である。時間TLの印加電圧は、矩形波であって、初期はパルス幅がT1と比較的小さく、後期はパルス幅がT2と比較的大きい。

【0051】本実施の形態における効果は、(1)～(3)に加え、次の通りである。

(5) 図15に示すように、時間TLにおいて、初期は繰り返しサイクルを多くして後期は繰り返しサイクルを少なくすることで、確実に残留電荷を放出する。

【0052】実施の形態4。次に実施の形態4について説明する。本実施の形態は、実施の形態1と主として同様であり、図4の微分回路21を用いる。そして、微分回路21の時定数($Rd \times Cd$)は、図9に示す等価回路の時定数、すなわち、静電チャック4から上電極7までが有する時定数5の時定数以下に設定されている。このように時定数を設定することにより、印加電圧は半導体ウェハ3に流れる電流の波形（特に位相）と一致し、1つの細かいパルスに対して、残留電荷の充放電が確実に

行われる。微分回路21の時定数を図9に示す等価回路の時定数と同じに設定したときの印加電圧と半導体ウェハ3に流れる電流のタイミングチャートを図16に示す。

【0053】本実施の形態における効果は、(1)～(3)に加え、次の通りである。

(6) 微分回路21の時定数を図9に示す等価回路の時定数以下に設定することにより、残留電荷の充放電が確実に実行され、残留電荷が放電しやすくなる。

【0054】実施の形態5。次に実施の形態5について説明する。本実施の形態は、実施の形態1と主として同様である。但し、図1の高周波カットフィルタ11及び静電チャック電源12を削除する。

【0055】本実施の形態における静電チャック装置が半導体ウェハ3を離脱する動作は主として実施の形態1と同様である。高周波電源10は、制御信号部10aによって制御されて、図17～図19に示すように、制御信号部10aが出力するRFパワー制御信号の振幅に応じる高周波を印加電圧として出力する。図17及び図18に示す印加電圧は、交番の振幅が時間とともに指数関数曲線31とともに減衰する減衰高周波である。図19に示す印加電圧は、交番の振幅が時間とともに、2直線32及び32'に沿って減衰する減衰高周波である。図19に示すように後期の直線32'の傾きは初期の直線32の傾きより小さい。図19では直線が2つの場合であるが、1つあるいは複数であってもよい。印加電圧は、振幅が時間とともに減衰するため、徐々に電荷が放出される。

【0056】このように、減衰高周波を発生するための電源は、半導体製造時に用いられる高周波電源10と共用される。

【0057】本実施の形態における効果は、(1)及び(3)に加え、次の通りである。

(7) 高周波電源10を利用することにより、簡単かつ安価にプラズマ処理装置1を構成できる。

【0058】変形例。半導体製造装置の例として、プラズマ処理装置1を用いたが、静電チャック装置が必要なその他の半導体製造装置でもよい。また、実施の形態4は、実施の形態1だけでなく、実施の形態2及び3に適用してもよい。

【0059】

【発明の効果】本発明請求項1によると、単極の減衰矩形波を用いることにより、徐々に電荷が放出されるため、電圧や減衰矩形波を印加する時間の設定が容易であり、また、単極の減衰矩形波を用いるため、減衰矩形波の生成が簡単になるという効果を奏す。

【0060】本発明請求項2によると、減衰矩形波は、指数関数曲線に沿って減衰することにより、確実に電荷を放出するという効果を奏す。

【0061】本発明請求項3によると、減衰矩形波は、

1又は複数の直線に沿って減衰することにより、確実に電荷を放出するという効果を奏す。

【0062】本発明請求項4によると、減衰矩形波は、初期はパルス幅が比較的小さく、後期は矩形波のパルス幅が比較的大きくすることにより、確実に電荷を放出するという効果を奏す。

【0063】本発明請求項5によると、電荷の充放電が確実に行われ、電荷が放電しやすくなるという効果を奏す。

【0064】本発明請求項6によると、減衰矩形波は、2.5秒以上9秒以下与えられ、4以上16以下のパルスを有する場合において、半導体ウェハの離脱はほぼ確実に行われるという効果を奏す。

【0065】本発明請求項7によると、半導体ウェハの離脱が容易に行われる半導体製造装置が得られるという効果を奏す。

【0066】本発明請求項8によると、半導体ウェハの離脱が容易に行われる半導体製造装置を構成できるとい

う効果を奏す。

【0067】本発明請求項9によると、減衰高周波は、指数関数曲線に沿って減衰することにより、確実に電荷を放出するという効果を奏す。

【0068】本発明請求項10によると、減衰高周波は、1又は複数の直線に沿って減衰することにより、確実に電荷を放出するという効果を奏す。

【0069】本発明請求項11によると、高周波電源は半導体製造時に用いられるものが共用されることにより、半導体ウェハの離脱が容易に行われ、簡単かつ安価に半導体製造装置を構成できるとい

う効果を奏す。

【図面の簡単な説明】

【図1】 本発明に係るプラズマ処理装置を示す概念図である。

【図2】 単極タイプの静電チャック装置を示す概念図である。

【図3】 双極タイプの静電チャック装置を示す概念図である。

【図4】 微分回路21の例を示す回路図である。

【図5】 静電チャック電源12が出力する印加電圧と微分回路21を介して出力される印加電圧とを示すタイミングチャートである。

【図6】 静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流を示すタイミングチャートである。

【図7】 半導体ウェハ3の断面図である。

【図8】 半導体ウェハ3が吸着されている状態の等価回路を示す回路図である。

【図9】 半導体ウェハ3が吸着されている状態の等価回路を示す回路図である。

【図10】 静電チャック装置が8インチの半導体ウェハ3を離脱するときの実験データを示す図である。

【図11】 静電チャック装置が8インチの半導体ウェハ3を離脱するときの実験データを示す図である。

【図12】 本発明の実施の形態2における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の一例を示すタイミングチャートである。

【図13】 本発明の実施の形態2における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の他の例を示すタイミングチャートである。

【図14】 本発明の実施の形態2における静電チャック4が受ける印可電圧と半導体ウェハ3に流れる電流の他の例を示すタイミングチャートである。

【図15】 本発明の実施の形態3における静電チャック4が受ける印加電圧と半導体ウェハ3に流れる電流の例を示すタイミングチャートである。

【図16】 本発明の実施の形態4における静電チャック4が受ける印可電圧と半導体ウェハ3に流れる電流の例を示すタイミングチャートである。

【図17】 本発明の実施の形態5におけるRF出力パワー制御信号と静電チャック4が受ける印加電圧の例を示すタイミングチャートである。

【図18】 本発明の実施の形態5におけるRF出力パワー制御信号と静電チャック4が受ける印加電圧の例を示すタイミングチャートである。

【図19】 本発明の実施の形態5におけるRF出力パワー制御信号と静電チャック4が受ける印加電圧の例を示すタイミングチャートである。

【図20】 従来に係るプラズマ処理装置を示す概念図である。

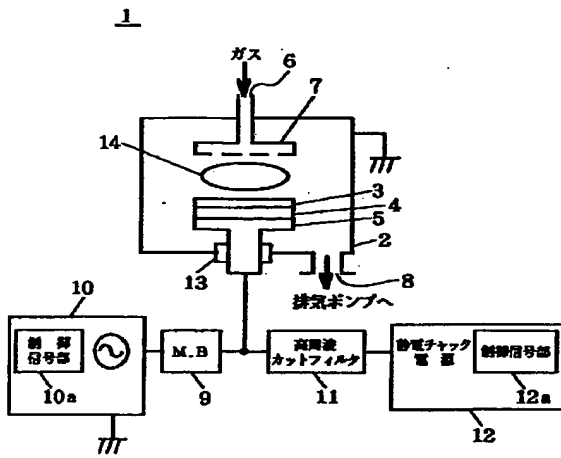
【図21】 従来における静電チャック4が受ける印可電圧と半導体ウェハ3に流れる電流及び半導体ウェハ3に作用する吸着力を示すタイミングチャートである。

【図22】 従来における静電チャック4が受ける印可電圧を示すタイミングチャートである。

40 【符号の説明】

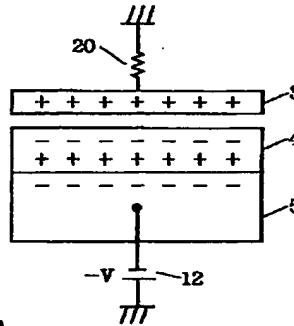
1 プラズマ処理装置、3a 表面IC回路部、3b Siサブストレート部、31~3n 第1~第n酸化膜層。

【図1】

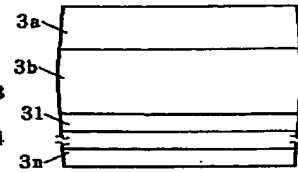


- 1: プラズマ処理装置 7: 上電極
 2: 真空チャンバ 8: 排気口
 3: 半導体ウエハ 9: 整合器
 4: 帯電チャック 10: 高周波電源
 5: 下電極 11: 絶縁材
 6: ガス供給口 12: プラズマ

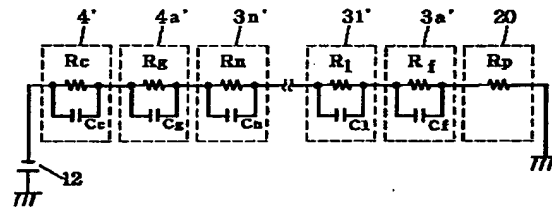
【図2】



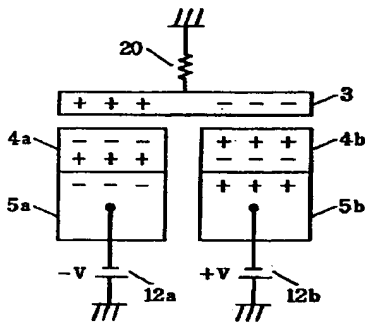
【図7】



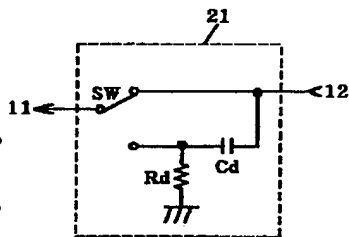
【図8】



【図3】

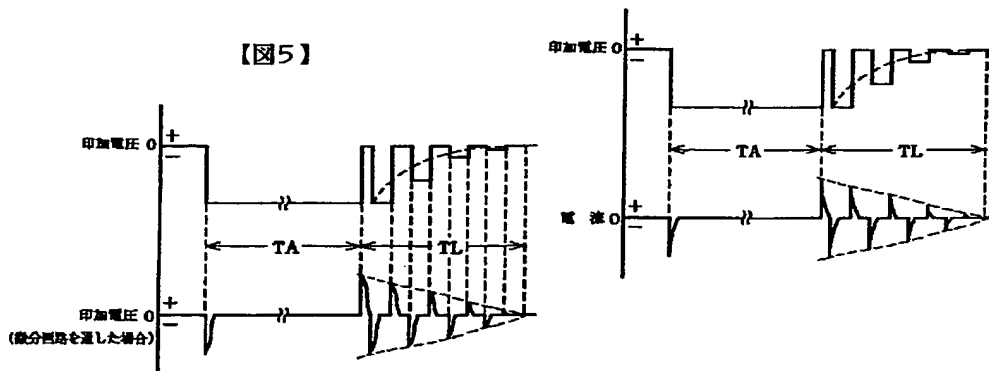


【図4】

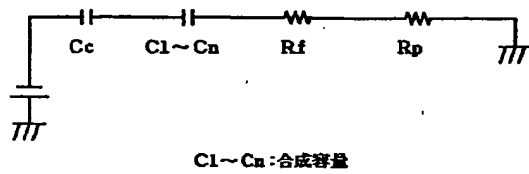


【図6】

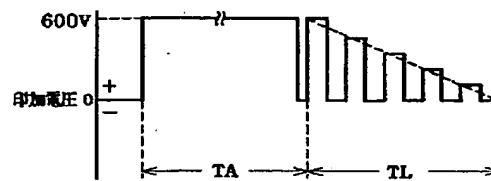
【図5】



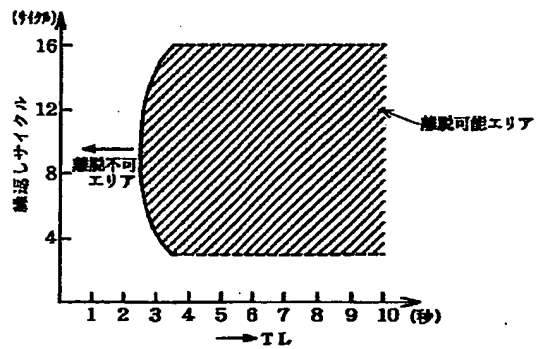
【図9】



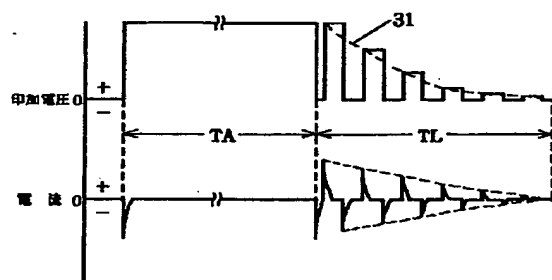
【図10】



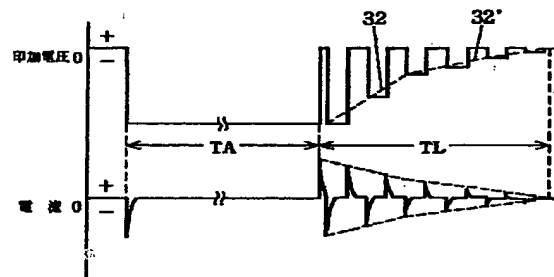
【図11】



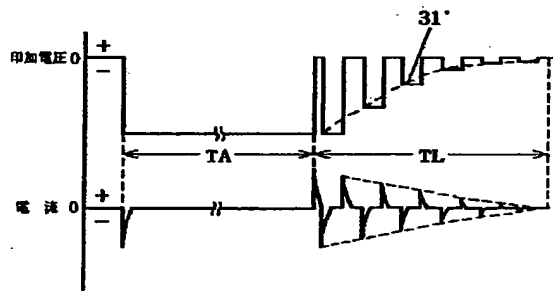
【図12】



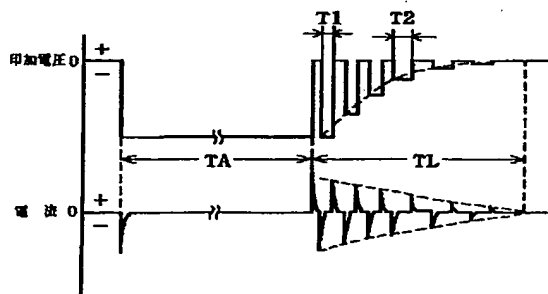
【図14】



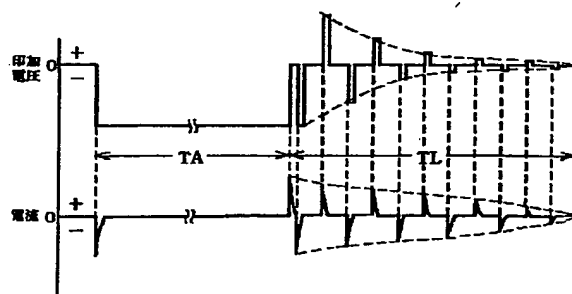
【図13】



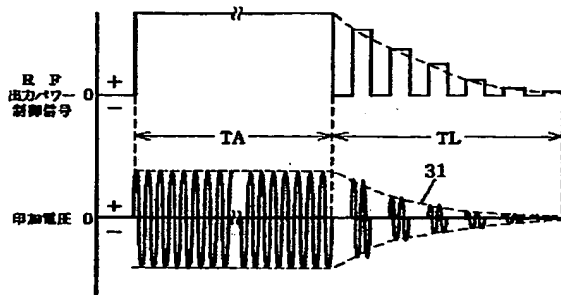
【図15】



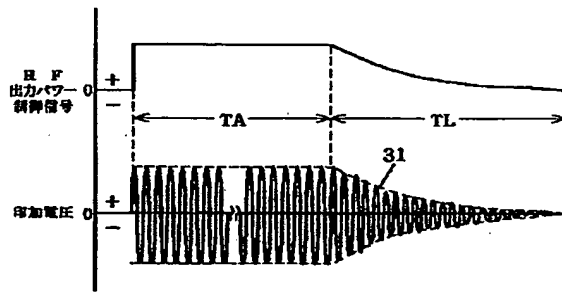
【図16】



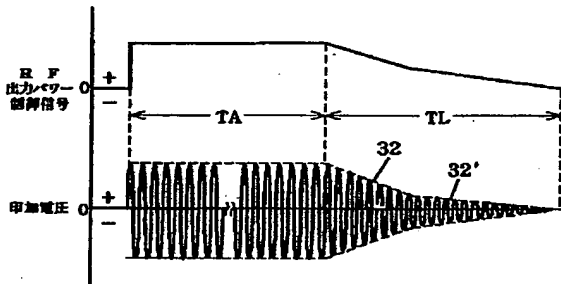
【図17】



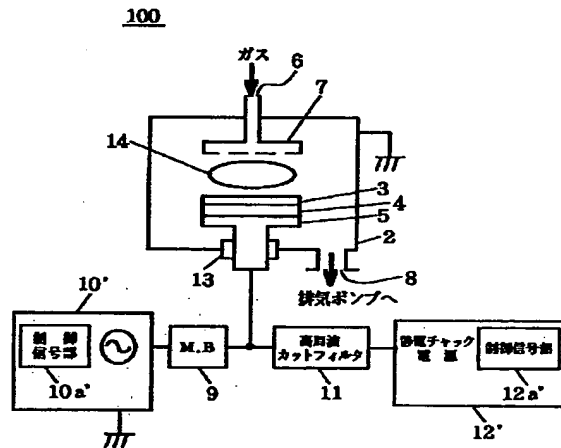
【図18】



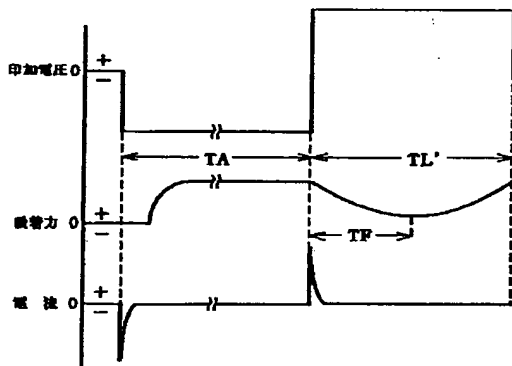
【図19】



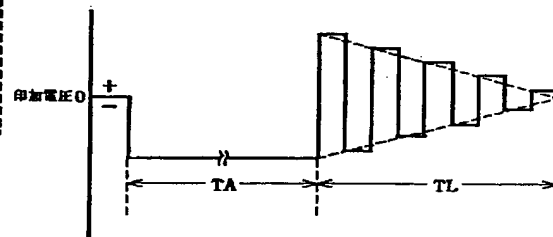
【図20】



【図21】



【図22】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.